

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-347435

(43)Date of publication of application : 05.12.2003

(51)Int.Cl.

H01L 21/8247
G11C 16/06
H01L 27/115
H01L 29/788
H01L 29/792
H03K 17/30

(21)Application number : 2002-150246

(71)Applicant : RICOH CO LTD

(22)Date of filing : 24.05.2002

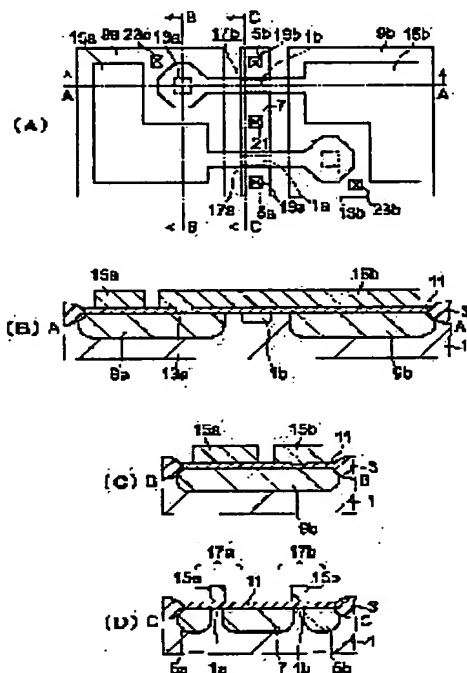
(72)Inventor : NAKANISHI HIROAKI
YOSHIDA MASAOKI
Iwai MORIE

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile memory cell which can be rewritten without applying a high voltage between the source region and the drain region.

SOLUTION: A floating gate 15a formed on a control gate region 9a through a silicon oxide film 11 spreads partially above a tunnel oxide film 13b on a control gate region 9b. A floating gate 15b formed on the control gate region 9b through the silicon oxide film 11 spreads partially above a tunnel oxide film 13a on the control gate region 9a. When a high voltage is applied to the control gate region 9a and a low voltage is applied to the control gate region 9b, electrons are injected into the floating gate 15a from the part spreading above the control gate region 9b through the tunnel oxide film 13b and electrons are extracted from the part spreading above the control gate region 9a into the floating gate 15b through the tunnel oxide film 13a.



LEGAL STATUS

[Date of request for examination]

14.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-347435

(P2003-347435A)

(43) 公開日 平成15年12月5日 (2003.12.5)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	21/8247	H 0 3 K 17/30	E 5 B 0 2 5
G 1 1 C	16/06	H 0 1 L 29/78	3 7 1 5 F 0 8 3
H 0 1 L	27/115	27/10	4 3 4 5 F 1 0 1
	29/788	G 1 1 C 17/00	6 3 2 C 5 J 0 5 5
	29/792		

審査請求 未請求 請求項の数7 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2002-150246(P2002-150246)

(22) 出願日 平成14年5月24日 (2002.5.24)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 中西 啓哲

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 吉田 雅昭

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 100085464

弁理士 野口 繁雄

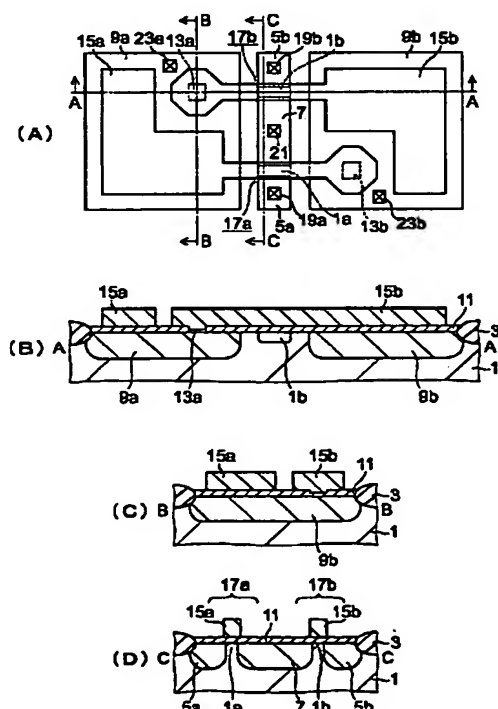
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ソース領域とドレイン領域の間に高電圧を印加せずに行き替えることができる不揮発性メモリセルを提供する。

【解決手段】 コントロールゲート領域9a上にシリコン酸化膜11を介して形成されたフローティングゲート15aの一部はコントロールゲート領域9b上のトンネル酸化膜13b上に延伸している。コントロールゲート領域9b上にシリコン酸化膜11を介して形成されたフローティングゲート15bの一部はコントロールゲート領域9a上のトンネル酸化膜13a上に延伸している。コントロールゲート領域9aに高電圧、コントロールゲート領域9bに低電圧を印加した場合、フローティングゲート9aにはコントロールゲート領域9b上に延伸する部分からトンネル酸化膜13bを介して電子が注入され、フローティングゲート9bにはコントロールゲート領域9a上に延伸する部分からトンネル酸化膜13aを介して電子が引き抜かれる。



【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板上に互いに分離して形成された第 2 導電型のコントロールゲート領域、ソース領域及びドレイン領域と、前記ソース領域とドレイン領域の間のチャンネル領域とはゲート酸化膜を介し、前記半導体基板及び前記コントロールゲート領域とは絶縁膜を介して前記チャンネル領域上から前記コントロールゲート領域上に延伸して形成されたフローティングゲートを備えたセンストランジスタを 2 個もち、両センストランジスタの前記フローティングゲートの一部は互いに他方のセンストランジスタの前記コントロールゲート領域上に延伸して前記コントロールゲート領域とは酸化膜を介して重なり合い、この酸化膜の少なくとも一部はトンネル酸化膜を構成する不揮発性メモリセルを備えたことを特徴とする半導体装置。

【請求項 2】 前記センストランジスタは低耐圧トランジスタである請求項 1 に記載の半導体装置。

【請求項 3】 前記ソース領域及び前記ドレイン領域は前記センストランジスタごとに設けられており、2 組の前記ソース領域及び前記ドレイン領域は前記半導体基板上に同じ方向に形成されている請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記フローティングゲート上に絶縁膜を介して形成され、前記コントロールゲート領域と電気的に接続されている導電体を前記センストランジスタごとに備えている請求項 1、2 又は 3 のいずれかに記載の半導体装置。

【請求項 5】 請求項 1 から 4 のいずれかに記載の前記不揮発性メモリセルと、前記不揮発性メモリセルの記憶状態に応じて出力信号を出力する出力回路からなる切替え回路を備えていることを特徴とする半導体装置。

【請求項 6】 入力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗からの分割電圧と前記基準電圧発生回路からの基準電圧を比較するための比較回路を備えた電圧検出回路を備えた半導体装置において、前記分割抵抗は、複数の抵抗値調整用抵抗素子が直列に接続され、前記抵抗値調整用抵抗素子に対応してトランジスタが並列に接続されており、前記トランジスタごとに前記トランジスタのオンとオフを切り替えるための請求項 5 に記載の切替え回路を備えていることを特徴とする半導体装置。

【請求項 7】 入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗からの分割電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための比較回路を備えた定電圧発生回路を備えた半導体装置において、前記分割抵抗は、複数の抵抗値調整用抵抗素子が直列に

接続され、前記抵抗値調整用抵抗素子に対応してトランジスタが並列に接続されており、前記トランジスタごとに前記トランジスタのオンとオフを切り替えるための請求項 5 に記載の切替え回路を備えていることを特徴とする半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に不揮発性メモリを備えた半導体装置及びその製造方法に関するものである。本明細書において、第 1 導電型とは P 型又は N 型であり、第 2 導電型とは第 1 導電型とは逆導電型の N 型又は P 型である。

【0002】

【従来の技術】 EEPROM (Electrically Erasable Programmable Random Access Memory) と称される不揮発性メモリセルの用途として、最も多い用途がメモリデバイス用である。メモリデバイスにおいて最も重要な条件は集積度である。そこで、多数のメモリセルをマトリックス状に配置し、セルの駆動部分であるデコード回路やセンス回路等を多数のメモリセルで共通にすることにより、チップ上の面積を少なくして集積度を上げている。

【0003】 図 7 に従来例の不揮発性メモリセルの平面図を示す。このような不揮発性メモリセルは例えば特開平 6-85275 号公報や特表平 8-506693 号公報に記載されている。

【0004】 P 型半導体基板 101 に、N 型拡散層 103、105、107 と、N 型拡散層からなるコントロールゲート 109 が形成されている。N 型拡散層 103 と 105 は間隔をもって形成され、N 型拡散層 105 と 107 は間隔をもって形成されている。

【0005】 N 型拡散層 103 と 105 の間の領域を含む P 型半導体基板 101 上に、N 型拡散層 103 及び 105 と一部重複して、ゲート酸化膜（図示は省略）を介して、ポリシリコン膜からなるセレクトゲート 111 が形成されている。N 型拡散層 103、105 及びセレクトゲート 111 はセレクトトランジスタ 115 を構成する。N 型拡散層 103 は、複数の不揮発性メモリセルで共通の共通ソースライン 117 に電気的に接続されている。

【0006】 N 型拡散層 105 と 107 の間の領域を含む P 型半導体基板 101 上及びコントロールゲート 109 上に連続して、シリコン酸化膜（図示は省略）を介してポリシリコン膜からなるフローティングゲート 113 が形成されている。N 型拡散層 105 及び 107 付近の領域ではフローティングゲート 113 はメモリ用ゲート酸化膜を介して N 型拡散層 105 及び 107 と一部重複して配置されている。N 型拡散層 105、107 及びフローティングゲート 113 はセンストランジスタ 119 を構成する。N 型拡散層 107 は、複数の不揮発性メモ

リセルで共通の共通ビットライン121に電氣的に接続されている。

【0007】N型拡散層105の表面の一部分にトンネル酸化膜123が形成されている。フローティングゲート113の一部分はトンネル酸化膜123上にも形成されている。トンネル酸化膜123はセンストランジスタ119のゲート酸化膜よりも膜厚が薄く形成されており、トンネル酸化膜123を介してメモリの書込み及び消去が行なわれる。

【0008】この不揮発性メモリの消去、すなわちフローティングゲート113への電子の注入を行なう場合、N型拡散層103を0V（ボルト）、N型拡散層107を所定の電位 V_{pp} 、例えば15Vに設定し、コントロールゲート109とセレクトゲート111に所定の電位 V_{pp} 、例えば15Vを印加することによって行なわれる。これにより、セレクトトランジスタ115がオンし、電子がN型拡散層105からトンネル酸化膜123を介してフローティングゲート113に注入される。

【0009】この不揮発性メモリの書込み、すなわちフローティングゲート113から電子の引抜きを行なう場合、コントロールゲート109を0V、N型拡散層107をオープンに設定し、N型拡散層103とセレクトゲート111に所定の電位 V_{pp} を印加することによって行なわれる。これにより、セレクトトランジスタ115がオンし、フローティングゲート113に注入されていた電子がトンネル効果によってトンネル酸化膜123を介してN型拡散層105に引き抜かれる。

【0010】この不揮発性メモリセルでは、セル内にセレクトトランジスタ115をもち、一本の共通ソースライン117及び1本の共通ビットライン121に複数の不揮発性メモリセルを接続し、特定のセレクトトランジスタ115だけをONさせることにより1つの不揮発性メモリセルを選択する方法をとっている。これにより、周辺のデコード回路等は共通ビットライン121あたり1つ備えていればよいので、面積効率は良くなっている。

【0011】しかし、消去時に、N型拡散層103とN型拡散層105の間及びN型拡散層105とN型拡散層107の間に高電圧を印可するため、セレクトトランジスタ115及びセンストランジスタ119を高電圧トランジスタにする必要があり、セレクトトランジスタ115及びセンストランジスタ119のオン電流が少なくなるといった問題点を抱えていた。

【0012】また、通常セレクトトランジスタ115はセンストランジスタ119と同じNチャンネル型のトランジスタであるが、消去時においてN型拡散層103とN型拡散層105の間及びN型拡散層105とN型拡散層107の間に高電圧を印可した場合、トンネル酸化膜123にかかる電圧について、セレクトトランジスタ115のしきい値電圧分だけ電圧ロスが発生するため、消

去効率を低下させる結果となっていた。

【0013】ところで、EEPROMメモリセルの他の用途として、集積回路内の回路ブロックの設定や構成を切り替える目的の部分に使用する場合がある。具体的には、メモリデバイス等における欠陥ビットの救済のためのアドレス切替え回路や、アナログデバイスにおける回路の条件設定等の切替え回路等である。このような切替え回路の用途の場合、不揮発性メモリセルはマトリックス状に配置せず、1～2個の不揮発性メモリセルを分離して配置している。切替え回路として使用する不揮発性メモリセルは、例えば特開平10-303719号公報に記載されている。

【0014】切替え回路として使用する不揮発性メモリセルの場合、高密度にセルを並べる必要がないので、図7に示した従来の不揮発性メモリセルのようにセル内にセレクトトランジスタを設ける必要はない。また、従来型の不揮発性メモリセルをそのまま切替え回路に使用した場合、不揮発性メモリセルの書替え時にソース領域とドレイン領域の間に高電圧を印加する必要があるので、周辺の書込み回路の構成が複雑になる欠点もあった。

【0015】

【発明が解決しようとする課題】本発明は上記の問題点に鑑みてなされたものであり、ソース領域とドレイン領域の間に高電圧を印加しなくても書き替えることができる不揮発性メモリセルを備えた半導体装置を提供することを目的とするものである。

【0016】

【課題を解決するための手段】本発明にかかる半導体装置は、第1導電型の半導体基板上に互いに分離して形成された第2導電型のコントロールゲート領域、ソース領域及びドレイン領域と、上記ソース領域とドレイン領域の間のチャンネル領域とはゲート酸化膜を介し、上記半導体基板及び上記コントロールゲート領域とは絶縁膜を介して上記チャンネル領域上から上記コントロールゲート領域上に延伸して形成されたフローティングゲートを備えたセンストランジスタを2個もち、両センストランジスタの上記フローティングゲートの一部は互いに他方のセンストランジスタの上記コントロールゲート領域上に延伸して上記コントロールゲート領域とは酸化膜を介して重なり合い、この酸化膜の少なくとも一部はトンネル酸化膜を構成する不揮発性メモリセルを備えているものである。

【0017】本発明の不揮発性メモリセルでは、一方のコントロールゲート領域と他方のコントロールゲート領域の間に所定の電圧を印加することにより、一方のフローティングゲートへの電子の注入又は引抜きと、他方のフローティングゲートへの電子の引抜き又は注入を同時に行なうことができる。

【0018】例えば一方のコントロールゲート領域に高電圧を印加し、他方のコントロールゲート領域に低電圧

を印加した場合、一方のコントロールゲート領域上のフローティングゲートについては他方のコントロールゲート領域上に延伸する部分からトンネル酸化膜を介して電子が注入されて消去状態になり、他方のコントロールゲート領域上のフローティングゲートについては一方のコントロールゲート領域上に延伸する部分からトンネル酸化膜を介して電子が引き抜かれて書き込み状態になる。

【0019】本発明の不揮発性メモリセルでは、一方のコントロールゲート領域と他方のコントロールゲート領域の間に所定の電圧を印加することにより、ソース領域とドレイン領域の間に高電圧を印加しなくても書き替えることができる。さらに、従来の不揮発性メモリセルのようにセレクトトランジスタを設けなくてもよいので、両コントロールゲート領域に所定の電圧を直接印加することができ、セレクトトランジスタに起因する消去効率の低下をなくすることができる。

【0020】

【発明の実施の形態】通常、トランジスタに高電圧を印加する場合、拡散層からなるソース領域及びドレイン領域を高耐圧向けの二重拡散構造にする等の特別な対応が必要である。この場合、トランジスタのチャンネル長が長くなり、ソース領域とドレイン領域の間に寄生抵抗がつくため、トランジスタの能力が低下し、不揮発性メモリセルとしてのセル電流（トランジスタのオン電流）が低下する。

【0021】そこで本発明の半導体装置において、上記センストランジスタは低耐圧トランジスタであることが好ましい。本発明を構成する不揮発性メモリセルによれば、書き換え時にソース領域及びドレイン領域に高電圧を印加する必要がないので、上記センストランジスタを低耐圧向けのソース領域及びドレイン領域を備えた低耐圧トランジスタにすることができる。これにより、不揮発性メモリセルとしてのセル電流を大きくとることができる。

【0022】本発明の半導体装置において、上記ソース領域及び上記ドレイン領域は上記センストランジスタごとに設けられており、2組の上記ソース領域及び上記ドレイン領域は上記半導体基板上に同じ方向に形成されていることが好ましい。その結果、2個のセンストランジスタにおいて、製造プロセス上のバラツキの影響を受けにくくすることができ、ベア性を向上させることができる。

【0023】本発明の半導体装置において、上記フローティングゲート上に絶縁膜を介して形成され、上記コントロールゲート領域と電気的に接続されている導電体を上記センストランジスタごとに備えていることが好ましい。その結果、上記導電体を含むコントロールゲート領域とフローティングゲートのカップリング比を大きくすることができ、書き込み及び消去の特性を向上させることができる。

【0024】本発明を構成する不揮発性メモリセルが適用される回路の一例として、本発明の上記不揮発性メモリセルと、上記不揮発性メモリセルの記憶状態に応じて出力信号を出力する出力回路からなる切替え回路を挙げることができる。本発明を構成する不揮発性メモリセルを書き換え回路に適用した場合、不揮発性メモリセルの書き換え時にソース領域とドレイン領域の間に高電圧を印加する必要がないので、周辺の書き込み回路の構成を簡単にすることができる。

【0025】本発明を構成する不揮発性メモリセルが適用される回路の他の例として、入力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路を備えた電圧検出回路を挙げることができる。その電圧検出回路において、上記分割抵抗は、複数の抵抗値調整用抵抗素子が直列に接続され、上記抵抗値調整用抵抗素子に対応してトランジスタが並列に接続されており、上記トランジスタごとに上記トランジスタのオンとオフを切り替えるための上記切替え回路を備えていることが好ましい。その結果、切替え回路の制御により上記トランジスタのオンとオフを切り替えることにより、分割抵抗の抵抗値を調整することができ、さらに分割抵抗の抵抗値の再設定を行なうことができる。これにより、電圧検出回路の出力電圧設定の変更ができる。

【0026】本発明を構成する不揮発性メモリセルが適用される回路のさらに他の例として、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路を備えた定電圧発生回路を挙げることができる。その定電圧発生回路において、上記分割抵抗は、複数の抵抗値調整用抵抗素子が直列に接続され、上記抵抗値調整用抵抗素子に対応してトランジスタが並列に接続されており、上記トランジスタごとに上記トランジスタのオンとオフを切り替えるための上記切替え回路を備えていることが好ましい。その結果、切替え回路の制御により上記トランジスタのオンとオフを切り替えることにより、分割抵抗の抵抗値を調整することができ、さらに分割抵抗の抵抗値の再設定を行なうことができる。これにより、定電圧発生回路の出力電圧設定の変更ができる。

【0027】

【実施例】図1は半導体装置の実施例の不揮発性メモリ部分を示す図であり、(A)は平面図、(B)は(A)のA-A位置での断面図、(C)は(A)のB-B位置での断面図、(D)は(A)のC-C位置での断面図である。P型半導体基板1の表面に素子分離のためのフィールド酸化膜3（(A)での図示は省略）が例え

ば4500~7000Å、ここでは5000Åの膜厚で形成されている。

【0028】フィールド酸化膜3に囲まれたP型半導体基板1の領域に、N型拡散層からなるドレイン領域5a、5b、共通ソース領域7、コントロールゲート領域9a、9bが形成されている。ドレイン領域5aと共通ソース領域7は間隔をもって形成され、ドレイン領域5bと共通ソース領域7は間隔をもって形成され、ドレイン領域5a、共通ソース領域7及びドレイン領域5bは一列に配列されている。

【0029】ドレイン領域5aと共通ソース領域7の間のP型半導体基板1表面近傍には不純物濃度が調整されたチャンネル領域1aが形成され、ドレイン領域5bと共通ソース領域7の間のP型半導体基板1表面近傍には不純物濃度が調整されたチャンネル領域1bが形成されている。ドレイン領域5a、5b及び共通ソース領域7は二重拡散構造等の高耐圧向けにはされておらず、チャンネル領域1a、1bのチャンネル長は例えば1.0μm（マイクロメートル）である。

【0030】コントロールゲート領域9aはドレイン領域5a、5b、共通ソース領域7と間隔をもって形成されており、コントロールゲート領域9bはドレイン領域5a、5b、共通ソース領域7に対してコントロールゲート領域9aとは反対側の領域にドレイン領域5a、5b、共通ソース領域7と間隔をもって形成されている。

【0031】ドレイン領域5a、5b、共通ソース領域7、コントロールゲート領域9a、9bが形成された領域を含む、フィールド酸化膜3に囲まれたP型半導体基板1の表面に例えば80~110Å、ここでは100Åのシリコン酸化膜11（A）での図示は省略）が形成されている。コントロールゲート領域9a、9b表面の一部の領域にはシリコン酸化膜11よりも薄い膜厚、例えば90~100Å、ここでは90Åの膜厚をもつトンネル酸化膜が形成されている。コントロールゲート領域9aにはトンネル酸化膜13aが形成され、コントロールゲート領域9bにはトンネル酸化膜13bが形成されている。

【0032】シリコン酸化膜11上及びトンネル酸化膜13a、13b上に膜厚が例えば2500~4500Å、ここでは3500Åのポリシリコン膜からなるフローティングゲート15a、15bが形成されている。フローティングゲート15aはコントロールゲート領域9a上に形成されている。フローティングゲート15aの一部は、ドレイン領域5aと共通ソース領域7の間のチャンネル領域1a上を介して、コントロールゲート領域9b上のトンネル酸化膜13b上に延伸して形成されており、その部分はプログラムゲートとして働く。フローティングゲート15bはコントロールゲート領域9b上に形成されている。フローティングゲート15bの一部は、ドレイン領域5bと共通ソース領域7の間のチャン

ネル領域1b上を介して、コントロールゲート領域9a上のトンネル酸化膜13a上に延伸して形成されており、その部分はプログラムゲートとして働く。

【0033】チャンネル領域1a、ドレイン領域5a、共通ソース領域7、チャンネル領域1a上のシリコン酸化膜11及びそのチャンネル領域1a上のフローティングゲート15aはNチャンネル型のセンストランジスタ17aを構成する。チャンネル領域1b、ドレイン領域5b、共通ソース領域7、チャンネル領域1b上のシリコン酸化膜11及びそのチャンネル領域1b上のフローティングゲート15bはNチャンネル型のセンストランジスタ17bを構成する。

【0034】ドレイン領域5a上にはコンタクト19aが形成され、ドレイン領域5b上にはコンタクト19bが形成され、共通ソース領域7上にはコンタクト21が形成され、コントロールゲート領域9a上にはコンタクト23aが形成され、コントロールゲート領域9b上にはコンタクト23bが形成されている。

【0035】図2は、図1に示した不揮発性メモリセルを備えた切替え回路とその切替え回路の動作を制御するための書込み制御回路を備えた一実施例を示す回路図である。図1及び図2を参照してこの実施例を説明する。

【0036】切替え回路24において、不揮発性メモリ素子25のコントロールゲート領域9a、9bはコンタクト23a、23bを介して書込み制御回路27に電気的に接続されている。書込み制御回路27には、不揮発性メモリセル25のフローティングゲート15a、15bの書込み及び消去時にコントロールゲート領域9a又は9bに印加するための高電圧電源VPPと、接地電位GNDに接続されている。

【0037】センストランジスタ17a、17bの共通ソース領域7はコンタクト21を介して接地電位GNDに接続されている。センストランジスタ17aのドレイン領域5aは接続点29を介してPチャンネル型の読出し用トランジスタ31のドレインに接続されている。センストランジスタ17bのドレイン領域5bは接続点33を介してPチャンネル型の読出し用トランジスタ35のドレインに接続されている。

【0038】読出し用トランジスタ31、35のソースは読出し用電源VCCに接続されている。読出し用トランジスタ31のゲートは接続点33に接続されている。読出し用トランジスタ35のゲートは接続点29に接続されている。接続点33はインバータ37にも接続されている。インバータ37の出力（OUT）が切替え回路の出力である。読出し用トランジスタ31、35及びインバータ37は、不揮発性メモリセル25の記憶状態に応じて出力信号を出力する出力回路を構成する。切替え回路25において、インバータ37の出力が論理値1のときをオン状態、論理値0のときをオフ状態とする。

【0039】切替え回路24をオン状態（出力の論理値

が1)にする場合、書き込み制御回路27により、例えばコントロールゲート領域9aに11Vの高電圧、コントロールゲート領域9bに0Vを印加する。

【0040】コントロールゲート領域9a上のトンネル酸化膜13aでは、トンネル現象によりコントロールゲート領域9a上のフローティングゲート15bからコントロールゲート領域9aへ電子の引抜きが起こり、フローティングゲート15b全体が正に帯電する。これにより、センストランジスタ17bはしきい値電圧が負の値のデプリージョントランジスタになる(書き込み状態)。

【0041】一方、コントロールゲート領域9b上のトンネル酸化膜13bでは、トンネル現象によりコントロールゲート領域9bからコントロールゲート領域9b上のフローティングゲート15aへ電子の注入が起こり、フローティングゲート15a全体が負に帯電する。これにより、センストランジスタ17aは高いしきい値電圧をもつエンハンスメントトランジスタになる(消去状態)。

【0042】センストランジスタ17aを消去状態にし、センストランジスタ17bを書き込み状態にした状態で、書き込み制御回路27によりコントロールゲート領域9a及び9bに例えば2Vの一定電圧にする。このとき、センストランジスタ17aは高いしきい値電圧をもっているためオフ状態になり、センストランジスタ17bはしきい値電圧が負の値をもっているためオン状態になる。

【0043】センストランジスタ17bのオン状態によって接続点33の電圧が0Vの電位レベルすなわち論理値0になる。これにより、読出し用トランジスタ31はオン状態になって接続点29の電圧がVCCになり、読出し用トランジスタ35はオフ状態になる。接続点33の論理値0はインバータ37により反転され論理値1にされて出力される。

【0044】切替え回路24をオフ状態(出力の論理値が0)にする場合、オン状態にする場合とは逆に、書き込み制御回路27により、例えばコントロールゲート領域9aに0V、コントロールゲート領域9bに11Vの高電圧を印加する。これにより、オン状態にする場合とは逆に、トンネル酸化膜13aを介してコントロールゲート領域9aからフローティングゲート15bへ電子の注入が起こり、フローティングゲート15bが負に帯電してセンストランジスタ17bはエンハンスメントトランジスタになり(消去状態)、トンネル酸化膜13bを介してフローティングゲート15aからコントロールゲート領域9bへ電子の引抜きが起こり、フローティングゲート15aが正に帯電してセンストランジスタ17aはデプリージョントランジスタになる(書き込み状態)。

【0045】センストランジスタ17aを書き込み状態にし、センストランジスタ17bを消去状態にした状態で、書き込み制御回路27によりコントロールゲート領域

9a及び9bに例えば2Vの一定電圧にする。このとき、センストランジスタ17aはしきい値電圧が負の値をもっているためオン状態になり、センストランジスタ17bは高いしきい値電圧をもっているためオフ状態になる。

【0046】センストランジスタ17aのオン状態によって接続点29の電圧が0Vになる。これにより、読出し用トランジスタ35はオン状態になって接続点33の電圧がVCCの電位レベルすなわち論理値1になり、読出し用トランジスタ31はオフ状態になる。接続点33の論理値1はインバータ37により反転され論理値0にされて出力される。

【0047】このように、不揮発性メモリセル24では、ソース領域とドレイン領域の間に高電圧を印加しなくても書き替えることができる。さらに、従来の不揮発性メモリセルのようにセレクトトランジスタを設けなくてもよいので、コントロールゲート領域9a、9bに所定の電圧を直接印加することができ、セレクトトランジスタに起因する消去効率の低下をなくすることができる。

【0048】さらに、この実施例では、ドレイン領域5a、5b及び共通ソース領域7に高電圧を印加する必要はないので、ドレイン領域5a、5b及び共通ソース領域7は二重拡散構造等の高耐圧向けにはされておらず、チャンネル領域1a、1bのチャンネル長は例えば1.0 μ mであり、センストランジスタ17a、17bは低耐圧トランジスタにより構成されている。これにより、センストランジスタ17a、17bのオン電流(セル電流)を大きくとることができる。

【0049】図3は半導体装置の他の実施例の不揮発性メモリセル部分を示す平面図である。図1と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。図1に示した不揮発性メモリセルと異なる点は、センストランジスタ17aにはドレイン領域5a及びソース領域7aが設けられており、センストランジスタ17bにはドレイン領域5b及びソース領域7bが設けられている点である。ドレイン領域5a及びソース領域7aの組とドレイン領域5b及びソース領域7bの組はP型半導体基板上に同じ方向に形成されている。

【0050】ドレイン領域5aはコンタクト19aを介して配線層39aに電気的に接続されており、ドレイン領域5bはコンタクト19bを介して配線層39bに電気的に接続されている。ソース領域7aはコンタクト21aを介して、ソース領域7bはコンタクト21bを介して、共通配線層41に電気的に接続されている。

【0051】この実施例では、ソース領域及びドレイン領域がセンストランジスタ17a、17bごとに設けられており、ドレイン領域5a及びソース領域7aの組とドレイン領域5b及びソース領域7bの組はP型半導体

基板上に同じ方向に形成されているので、センストランジスタ17a、17bにおいて製造プロセス上のバラツキの影響を受けにくくすることができ、ペア性を向上させることができる。

【0052】図4は半導体装置のさらに他の実施例の不揮発性メモリセル部分を示す図であり、(A)は平面図、(B)は(A)のA-A位置での断面図、(C)は(A)のB-B位置での断面図、(D)は(A)のC-C位置での断面図である。図1と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0053】P型半導体基板1の表面にフィールド酸化膜3が形成され、フィールド酸化膜3に囲まれたP型半導体基板1の領域に、チャンネル領域1a、1b、ドレイン領域5a、5b、共通ソース領域7、コントロールゲート領域9a、9bが形成されている。フィールド酸化膜3に囲まれたP型半導体基板1の表面にシリコン酸化膜11及びトンネル酸化膜13a、13bが形成されている。シリコン酸化膜11上及びトンネル酸化膜13a、13b上にフローティングゲート15a、15bが形成され、センストランジスタ17a、17bが形成されている。

【0054】フィールド酸化膜3上、シリコン酸化膜11上及びフローティングゲート15a、15b上に絶縁膜43が形成されている。絶縁膜43は例えば下層側から順にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜からなる積層膜であり、下層のシリコン酸化膜の膜厚は100Å、シリコン窒化膜の膜厚は100Å、上層のシリコン酸化膜の膜厚は30Åである。

【0055】絶縁膜43上に例えば膜厚が1500~4000Å、ここでは3500Åのポリシリコン膜からなる導電体45a、45bが形成されている。導電体45aはコントロールゲート領域9a上にあるフローティングゲート15aを覆って形成されており、コンタクト47aを介してコントロールゲート領域9aに電気的に接続されている。導電体45bはコントロールゲート領域9b上にあるフローティングゲート15bを覆って形成されており、コンタクト47bを介してコントロールゲート領域9bに電気的に接続されている。ここでは導電体としてポリシリコン膜を用いているが、本発明はこれに限定されるものではなく、金属材料からなる導電体を形成してもよい。

【0056】シリコン酸化膜11及び絶縁膜43には、ドレイン領域5a上にコンタクト19aが形成され、ドレイン領域5b上にコンタクト19bが形成され、共通ソース領域7上にコンタクト21が形成され、コントロールゲート領域9a上にコンタクト23aが形成され、コントロールゲート領域9b上にコンタクト23bが形成されている。

【0057】この実施例では、フローティングゲート1

5a、15b上に絶縁膜43を介して形成され、コンタクト47a、47bを介してコントロールゲート領域9a、9bと電気的に接続されている導電体45a、45bを備えているので、導電体45aを含むコントロールゲート領域9aとフローティングゲート15a、及び導電体45bを含むコントロールゲート領域9bとフローティングゲート15bのカップリング比をそれぞれ大きくすることができ、書き込み及び消去の特性を向上させることができる。

【0058】図5は、図2に示した切替え回路と定電圧発生回路を備えた一実施例を示す回路図である。直流電源51からの電源を安定して供給すべく、定電圧発生回路49が設けられている。定電圧発生回路49は、直流電源51が接続される入力端子(Vbat)53、基準電圧発生回路(Vref)55、演算増幅器57、出力ドライバを構成するPチャネル型MOSトランジスタ(以下、PMOSと略記する)59、分割抵抗61、63及び出力端子(Vout)65を備えている。

【0059】分割抵抗63はR0により構成される。分割抵抗61は、直列に接続された複数の抵抗値調整用抵抗素子R1、R2、…Ri-1、Riを備えている。抵抗値調整用抵抗素子R1、R2、…Ri-1、Riに対応してトランジスタSW1、SW2、…SWi-1、SWiが並列に接続されている。トランジスタSW1、SW2、…SWi-1、SWiに対応して、トランジスタSW1、SW2、…SWi-1、SWiのオンとオフを切り替えるための複数の切替え回路24が設けられている。複数の切替え回路24の出力は対応するトランジスタSW1、SW2、…SWi-1、SWiのゲートに接続されている。

【0060】定電圧発生回路49の演算増幅器57では、出力端子がPMOS59のゲート電極に接続され、反転入力端子に基準電圧発生回路55から基準電圧Vrefが印加され、非反転入力端子に出力電圧Voutを抵抗61と63で分割した電圧が印加され、抵抗61、63の分割電圧が基準電圧Vrefに等しくなるように制御される。

【0061】図6は、図2に示した切替え回路と電圧検出回路を備えた一実施例を示す回路図である。電圧検出回路73において、測定すべき端子の電圧(入力電圧Vsens)が入力される入力端子67と接地電位の間、分割抵抗61、63及び発振防止用抵抗素子RHが直列に接続されている。分割抵抗61、63の構成は図5と同じである。抵抗値調整用抵抗素子R1、R2、…Ri-1、Riに対応してトランジスタSW1、SW2、…SWi-1、SWiが並列に接続され、トランジスタSW1、SW2、…SWi-1、SWiに対応して複数の切替え回路24が設けられている。発振防止用抵抗素子RHに並列にNチャネル型の発振防止用トランジスタSWHが接続されている。発振防止用トランジスタSWH

のゲートは演算増幅器57の出力に接続されている。

【0062】演算増幅器57の反転入力端子は分割抵抗61と63の間の接続点に接続されている。演算増幅器57の非反転入力端子に基準電圧発生回路55が接続され、基準電圧 V_{ref} が印加される。演算増幅器57の出力はインバータ69及び出力端子(DT_{out})71を介して外部に出力される。

【0063】電圧検出回路73において、高電圧検出状態では発振防止用抵抗素子RHはオフ状態であり、入力端子67から入力される測定すべき端子の電圧が高く、分割抵抗61と分割抵抗63及び発振防止用抵抗素子RHにより分割された電圧が基準電圧 V_{ref} よりも高いときは演算増幅器57の出力が論理値0を維持し、その出力はインバータ69により反転され論理値1にされて出力端子71から出力される。このとき演算増幅器57の反転入力端子に入力される分割電圧は、
$$\{(R0) + (RH)\} / \{(R1) + \dots + (Ri-1) + (Ri) + (R0) + (RH) \cdot \dots \cdot sens)$$
である。

【0064】測定すべき端子の電圧が低下してきて分割抵抗61と分割抵抗63及び発振防止用抵抗素子RH63により分割された電圧が基準電圧 V_{ref} 以下になると演算増幅器57の出力が論理値1になり、その出力はインバータ69により反転され論理値0にされて出力端子71から出力される。

【0065】演算増幅器57の出力が論理値1になると、発振防止用トランジスタSWHがオン状態になり、分割抵抗63が発振防止用トランジスタSWHを介して接地電位に接続され、分割抵抗61と63の間の電圧が低下する。これにより、演算増幅器57の出力は論理値1を維持し、電圧検出回路73は低電圧検出状態になる。このように、発振防止用抵抗素子RH及び発振防止用トランジスタSWHは入力電圧 V_{sens} が低下してきたときに電圧検出回路73の出力の発振を防止する。

【0066】電圧検出回路73の低電圧検出状態における演算増幅器57の反転入力端子に入力される分割電圧は、
$$(R0) / \{(R1) + \dots + (Ri-1) + (Ri) + (R0) \cdot \dots \cdot sens)$$

である。電圧検出回路73を高電圧検出状態するための解除電圧は、低電圧検出状態における演算増幅器57の反転入力端子に入力される分割電圧が基準電圧 V_{ref} よりも大きくなる入力電圧 V_{sens} である。

【0067】図5及び図6に示した実施例では、切替え回路24の制御により、トランジスタSW1, SW2, …SW_{i-1}, SW_iのオンとオフを選択して、分割抵抗61の抵抗値を調整することができる。これにより、定電圧発生回路53の出力電圧及び電圧検出回路73の出力電圧について設定電圧を調整することができる。

【0068】従来の定電圧発生回路及び電圧検出回路で

は、トランジスタSW1, SW2, …SW_{i-1}, SW_i及び切り替え回路24に代えて、抵抗値調整用抵抗素子R1, R2, …R_{i-1}, R_iごとにポリシリコン又は金属材料からなるヒューズが並列に接続され、ヒューズを切断することにより分割抵抗の抵抗値を調整していた。

【0069】図5及び図6に示した実施例では、切替え回路24の制御により、ヒューズでは困難であった一度オフ状態にしたスイッチ(トランジスタSW1, SW2, …SW_{i-1}, SW_i)を再度オン状態にすることができるので、定電圧発生回路53の出力電圧及び電圧検出回路73の出力電圧について設定電圧の変更を自由に行なうことができる。

【0070】さらに、不揮発性メモリセルへの書き込みにより切替え回路24のオン状態又はオフ状態を切り替えることができるので、半導体装置をパッケージに收容した後も、定電圧発生回路53の出力電圧及び電圧検出回路73の出力電圧について設定電圧の調整及び変更を行なうことができる。

【0071】以上、本発明の実施例を説明したが、本発明はこれらに限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【0072】

【発明の効果】請求項1に記載された半導体装置では、第1導電型の半導体基板上に互いに分離して形成された第2導電型のコントロールゲート領域、ソース領域及びドレイン領域と、ソース領域とドレイン領域の間のチャンネル領域とはゲート酸化膜を介し、半導体基板及びコントロールゲート領域とは絶縁膜を介してチャンネル領域上からコントロールゲート領域上に延伸して形成されたフローティングゲートを備えたセンストランジスタを2個もち、両センストランジスタのフローティングゲートの一部は互いに他方のセンストランジスタのコントロールゲート領域上に延伸してコントロールゲート領域とは酸化膜を介して重なり合い、この酸化膜の少なくとも一部はトンネル酸化膜を構成する不揮発性メモリセルを備えているようにしたので、ソース領域とドレイン領域の間に高電圧を印加しなくても書き替えることができる。さらに、従来の不揮発性メモリセルのようにはセレクトトランジスタを設けなくてもよいので、両コントロールゲート領域に所定の電圧を直接印加することができ、セレクトトランジスタに起因する消去効率の低下をなくすることができる。

【0073】請求項2に記載された半導体装置では、センストランジスタは低耐圧トランジスタであるようにしたので、不揮発性メモリセルとしてのセル電流を大きくとることができる。

【0074】請求項3に記載された半導体装置では、ソース領域及びドレイン領域はセンストランジスタごとに

設けられており、2組のソース領域及びドレイン領域は半導体基板上に同じ方向に形成されているようにしたので、2個のセンストランジスタにおいて、製造プロセス上のバラツキの影響を受けにくくすることができ、ペア性を向上させることができる。

【0075】請求項4に記載された半導体装置では、フローティングゲート上に絶縁膜を介して形成され、コントロールゲート領域と電氣的に接続されている導電体をセンストランジスタごとに備えているようにしたので、導電体を含むコントロールゲート領域とフローティングゲートのカップリング比を大きくすることができ、書き込み及び消去の特性を向上させることができる。

【0076】請求項5に記載された半導体装置では、不揮発性メモリセルと、不揮発性メモリセルの記憶状態に応じて出力信号を出力する出力回路からなる切替え回路において、不揮発性メモリセルとして本発明を構成する不揮発性メモリセルを備えているようにしたので、不揮発性メモリセルの書き換え時にソース領域とドレイン領域の間に高電圧を印加する必要がないので、周辺の書き込み回路の構成を簡単にすることができる。

【0077】請求項6に記載された半導体装置では、電圧検出回路において、分割抵抗は、複数の抵抗値調整用抵抗素子が直列に接続され、抵抗値調整用抵抗素子に対応してトランジスタが並列に接続されており、トランジスタごとにトランジスタのオンとオフを切り替えるための切替え回路を備えているようにしたので、切替え回路の制御によりトランジスタのオンとオフを切り替えることにより、分割抵抗の抵抗値を調整することができ、さらに分割抵抗の抵抗値の再設定を行なうことができる。これにより、電圧検出回路の出力電圧設定の変更ができる。

【0078】請求項6に記載された半導体装置では、定電圧発生回路において、分割抵抗は、複数の抵抗値調整用抵抗素子が直列に接続され、抵抗値調整用抵抗素子に対応してトランジスタが並列に接続されており、トランジスタごとにトランジスタのオンとオフを切り替えるための切替え回路を備えているようにしたので、切替え回路の制御によりトランジスタのオンとオフを切り替える

ことにより、分割抵抗の抵抗値を調整することができ、さらに分割抵抗の抵抗値の再設定を行なうことができる。これにより、定電圧発生回路の出力電圧設定の変更ができる。

【図面の簡単な説明】

【図1】半導体装置の実施例の不揮発性メモリセル部分を示す図であり、(A)は平面図、(B)は(A)のA-A位置での断面図、(C)は(A)のB-B位置での断面図、(D)は(A)のC-C位置での断面図である。

【図2】図1に示した不揮発性メモリセルを備えた切替え回路とその切替え回路の動作を制御するための書き込み制御回路を備えた一実施例を示す回路図である。

【図3】半導体装置の他の実施例の不揮発性メモリセル部分を示す平面図である。

【図4】半導体装置のさらに他の実施例の不揮発性メモリセル部分を示す図であり、(A)は平面図、(B)は(A)のA-A位置での断面図、(C)は(A)のB-B位置での断面図、(D)は(A)のC-C位置での断面図である。

【図5】図2に示した切替え回路と定電圧発生回路を備えた一実施例を示す回路図である。

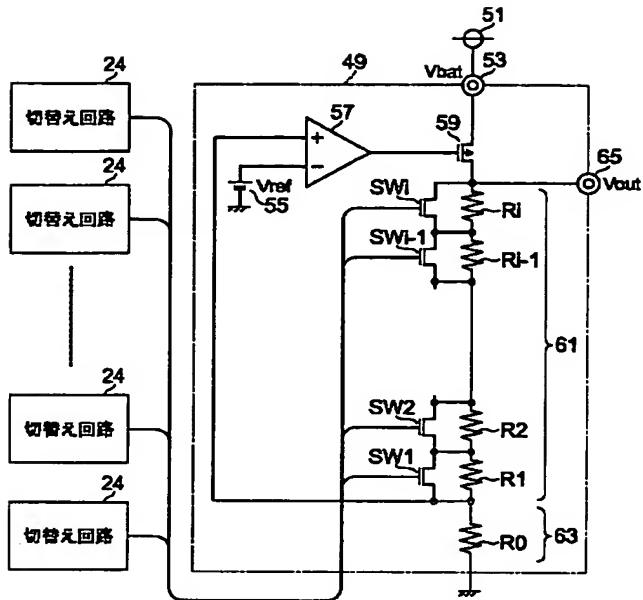
【図6】図2に示した切替え回路と電圧検出回路を備えた一実施例を示す回路図である。

【図7】従来例の不揮発性メモリセルを示す平面図である。

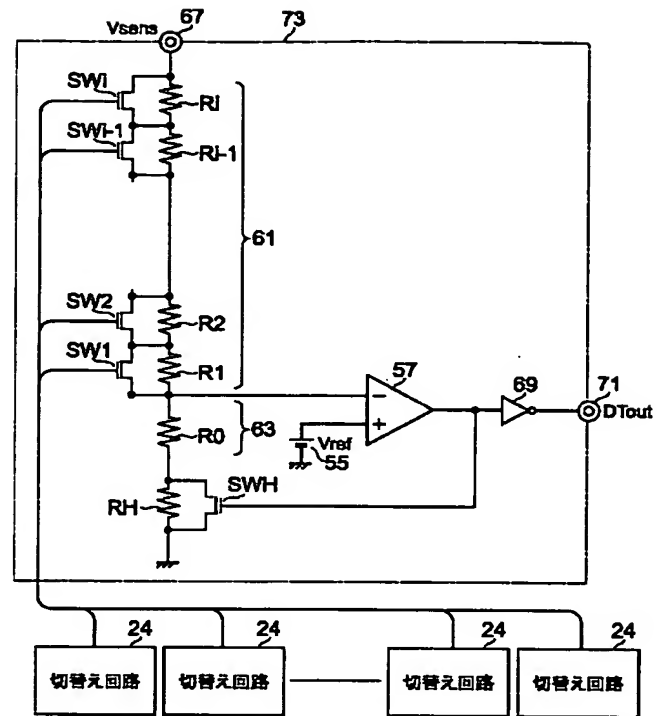
【符号の説明】

- 1 P型半導体基板
- 3 フィールド酸化膜
- 5 a, 5 b ドレイン領域
- 7 共通ソース領域
- 9 a, 9 b コントロールゲート領域
- 11 シリコン酸化膜
- 13 a, 13 b トンネル酸化膜
- 15 a, 15 b フローティングゲート
- 17 a, 17 b センストランジスタ
- 19 a, 19 b, 21 コンタクト

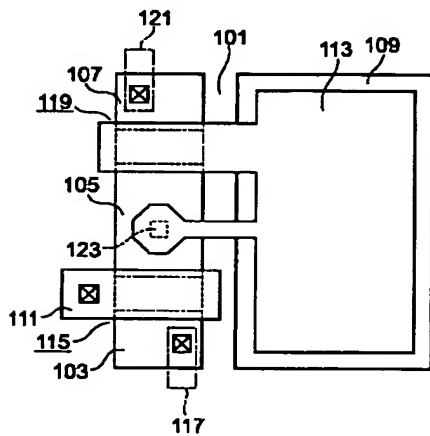
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

ターマコード (参考)

H 0 3 K 17/30

(72) 発明者 岩井 盛家

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

F ターム(参考) 5B025 AA03 AB01 AC01 AD02 AD04
AD08 AD09 AD13 AE00
5F083 EP02 EP09 EP22 EP30 EP34
EP35 EP42 EP72 ER03 ER07
ER14 ER17 ER21 GA19 GA22
5F101 BA02 BA16 BA24 BA36 BB03
BB06 BB09 BC01 BD24 BE02
BE05 BE07 BG07
5J055 AX11 BX01 CX27 DX02 EY01
EY03 EY21 EZ09 EZ29 EZ51
GX01 GX02 GX07 GX08